

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035974

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 23/34
H01L 21/338
H01L 29/812

(21)Application number : 11-204432

(71)Applicant : NEC CORP

(22)Date of filing : 19.07.1999

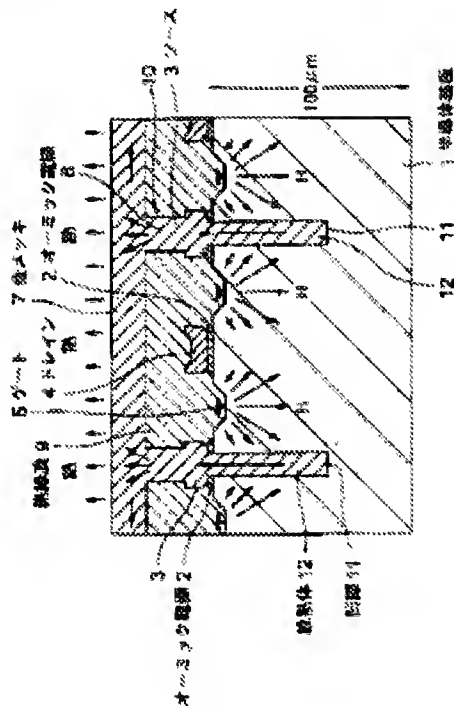
(72)Inventor : ISHIKURA KOJI

(54) SEMICONDUCTOR DEVICE, AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently radiate heat which diffuses into a substrate.

SOLUTION: A recess 11 directed into a substrate is formed at the place of a source electrode 3 formed in a semiconductor substrate 1, and the recess 11 is filled with a heat radiating body 12. It follows that the heat radiating body 12 exists down to the depths of the semiconductor substrate 1, so that the heat diffused in the vicinity directly below the gate 5 and between the source electrode 3 and a drain 4 is caught with the heat radiating body 12, and is radiated out of the board, conducting through the heat radiating body 12.



(19) 日本電気株式会社 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35974

(P2001-35974A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int. Cl.

H 0 1 L 23/34

21/338

29/812

識別記号

F I

H 0 1 L 23/34

29/80

特許出願公開番号

A 5 F 0 3 6

U 5 F 1 0 2

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平11-204432

(22) 出願日

平成11年7月19日 (1999.7.19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 石倉 幸治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100075308

弁理士 菅野 中

Pターム(参考) BF036 AA01 BB21

BF102 G301 G501 G601 GJ05 GR01

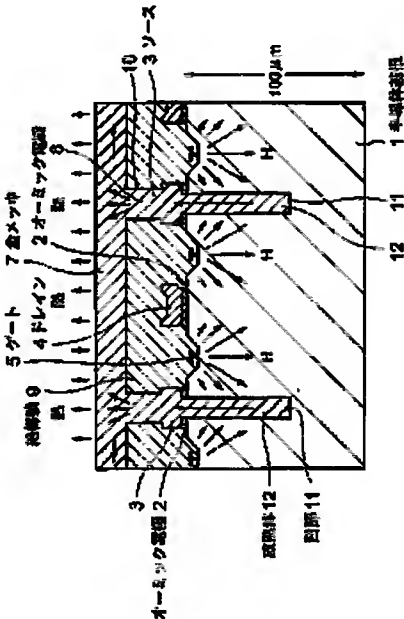
GR10 HC15 HC16 HC30

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 基板内部に拡散した熱を効率よく放熱させる。

【解決手段】 半導体基板1に形成されたソース電極3の箇所、基板内部に向けた凹部11を形成し、凹部11に放熱体12を充填している。放熱体12が半導体基板1の深部まで存在することとなり、ゲート5の直下付近及びソース電極3・ドレイン4間に拡散する熱は放熱体12に捕捉され、放熱体12を伝わって基板外部に放熱される。



(2)

特開2001-35974

1

2

【特許請求の範囲】

【請求項1】 発生した熱を基板表面側から放熱する構造の半導体装置であって、

半導体基板に形成されたソース電極の端所に基板内部に向けた凹部を形成し、前記凹部に充填した放熱体により、基板内部に放散する熱を基板外部に放熱するようにしたことを特徴とする半導体基板。

【請求項2】 前記凹部は、基板内部での表面積を拡大して基板との接触面積を増大したものであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 発生した熱を基板表面側から放熱する構造の半導体装置を製造する半導体装置の製造方法であって、

半導体基板のソース電極の端所に基板内部に向けた凹部を形成し、

次に、基板内部に放散する熱を捕捉する放熱体を前記凹部に充填することを特徴とする半導体装置の製造方法。

【請求項4】 前記凹部は、基板内部での基板との接触面積を増大させて形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 エッチングストップ層を用いて、前記凹部の深さを制御することを特徴とする請求項3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】K_a帯MM（マイクロウェーブモノリシック）ICなどに用いられる高出力FET（境界効果型トランジスタ）の基板厚は、100 μ m程度である。高出力FET単体だけならば、放熱性を高めるために基板厚を25 μ m程度まで薄くすることが可能であるが、MMICにおいては、インダクタやコンデンサなどの受動素子を同一基板上に作成するためチップサイズが大きくなり、基板割れなどに対する信頼度を高めるために、基板厚を厚くする必要がある。

【0003】基板厚が薄い場合は、ソース電極電極に直接バイアホールを施して熱を逃がすという方法（ソース電極ダイレクトバイアホール）がある。その方法を図6に基づいて説明する。

【0004】図6に示すように半導体基板1の表面には、オミック電極2を介してソース電極3及びドレイン4が設けられており、またソース電極3とドレイン4との間にゲート5が設けられている。

【0005】そして、ソース電極3の部分には、半導体基板1を上下に貫通するバイアホール6が形成され、半導体基板1の裏面側に形成された金メッキ7とソース電極3とが、バイアホール6内に充填した金属体8により連結されている。

【0006】図6に示す構造によれば、ソース電極3の部分に発生する熱がバイアホール6を通して金メッキ8に伝達されて放熱される。

【0007】

【発明が解決しようとする課題】しかしながら図6に示す構造によれば、基板厚が100 μ mと厚い場合は、バイアホール6のアスペクト比が大きくなり、形状や位置合わせの制御性が悪くなるため、図6に示す構造を基板厚の厚いものに適用することは問題がある。

【0008】したがって基板厚の厚いFETでは、熱抵抗が大きくなることが避けられず、出力が大きくなると、熱暴走などの破壊や電流劣化など寿命低下が発生しやすくなる。MMICなどの基板厚が厚い素子の場合、この問題を改善するため、表面から熱を逃がす方法が用いられる。

【0009】上述した表面から熱を逃がす方法を図7及び図8に示す。図7に示す構造は、半導体基板1の表面側に絶縁膜9が形成され、絶縁膜9にコンタクトホール9aが形成され、コンタクトホール9aを通してソース電極3に至る金メッキ7が露され、ソース電極3の部分に発生する熱がコンタクトホール9aを通して金メッキ8に伝達されて放熱される（サーマルシャント構造）。

【0010】図8に示す構造は、図7に示す構造のものを上下反転させて、金メッキ7がヒートシンク10に接続したフリップチップ構造のものである。

【0011】ところで、一般に、FETの素子部分において熱が発生する箇所は、ソース電極3からドレイン4の間に位置するゲート5の直下付近であり、特に電界が集中するゲート3・ドレイン4間が最も大きい。

【0012】発生した熱は主に発生源の下方向へ放散し、半導体基板1の表面に位置するソース電極3には熱が伝わりにくく、図7に示すサーマルシャント構造及び、図8に示すフリップチップ構造を用いた場合には、熱抵抗を充分下げることができないという問題がある。

【0013】本発明の目的は、発生した熱を効率よく放熱させる半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置は、発生した熱を基板表面側から放熱する構造の半導体装置であって、半導体基板に形成されたソース電極の端所に基板内部に向けた凹部を形成し、前記凹部に充填した放熱体により、基板内部に放散する熱を基板外部に放熱するようにしたものである。

【0015】また前記凹部は、基板内部での表面積を増大して基板との接触面積を増大したものである。

【0016】また本発明に係る半導体装置の製造方法は、発生した熱を基板表面側から放熱する構造の半導体装置を製造する半導体装置の製造方法であって、半導体

(3)

特開2001-35974

3

4

基板のソース電極の箇所に基板内部に向けた凹部を形成し、次に、基板内部に拡散する熱を捕捉する放熱体を前記凹部に充填するものである。

【0017】また前記凹部は、基板内部での基板との接触面積を拡大させて形成する。

【0018】またエッチングストッパ層を用いて、前記凹部の深さを制御する。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

【0020】（実施形態1）図1は、本発明の実施形態1に係る半導体装置を示す断面図である。

【0021】図1に示すように、K_a帯MM（マイクロウェーブモノリシック）ICなどに用いられる高出力FET（電界効果型トランジスタ）の基板厚は、100 μ m程度である。

【0022】そして図1に示すように半導体基板1の表面には、オーミック電極2を介してソース電極3及びドレイン4が設けられており、またソース電極3とドレイン4との間にゲート5が設けられている。

【0023】さらに半導体基板1の表面側には絶縁膜9が堆積され、絶縁膜9にコンタクトホール9aが形成され、コンタクトホール9aを通してソース電極3に至る金メッキ7が施され、ソース電極3の部分に発生する熱がコンタクトホール9aを通して金メッキ8に伝達されて放熱される（サーマルシャント構造）ようになっている。

【0024】本発明の実施形態1に係る半導体装置は、図1に示すように発生した熱を基板表面側から放熱する構造の半導体装置を対象とするものであり、半導体基板1に形成されたソース電極3の箇所に基板内部に向けた凹部11を形成し、凹部11に充填した放熱体12により、基板内部に拡散する熱Hを基板外部に放熱するようにしたことを特徴とするものである。

【0025】図1に示す本発明の実施形態1に係る半導体装置において、半導体基板1の板厚が100 μ mである場合に、ソース電極3及びオーミック電極2の幅は45 μ m、ドレイン4及びオーミック電極2の幅は11 μ m、ソース電極3とドレイン4との間隔は6 μ m位に設定される。

【0026】凹部11は、ソース電極3及びオーミック電極2を貫通して基板内部に向かうものであるから、ソース電極3の真下に設けられるオーミック電極2は、リング状に形成される。

【0027】本発明の実施形態1に係る半導体装置において、熱が発生する箇所は図1に示すように、ソース電極3からドレイン4の間に位置するゲート5の直下付近であり、特に電界が集中するゲート3・ドレイン4間が最も大きい。

【0028】図1に示すように、ソース電極3・ドレ

イン4間で発生した熱は、主に下方45度の角度で基板内部に拡散する。

【0029】本発明の実施形態1によれば、半導体基板1に形成されたソース電極3の真下付近に基板内部に向けた凹部11が形成され、凹部11に放熱体12を充填しており、放熱体12が半導体基板1の深部まで存在するため、ゲート5の直下付近及びゲート3・ドレイン4間に拡散する熱は放熱体12に捕捉されることとなり、放熱体12を伝わって金メッキ7から基板外部に放熱される。

【0030】ソース電極3及び放熱体12を構成する金メッキは熱伝導性がよいため、発生した熱を効率よく半導体基板内部から外部に放散することができる。

【0031】図3は、本発明の実施形態における凹部11の深さ、すなわち放熱体12を半導体基板12に埋め込む深さと熱抵抗の関係を示す図である。なお、図3の場合は、図8に示すフリップチップ構造として用いた場合である。

【0032】図3において、従来例の場合に放熱体12が設けられた凹部11が存在しないものであるため、凹部の深さが0 μ mである場合に相当し、その熱抵抗は160 $^{\circ}$ C/Wであるが、本発明の実施形態のように放熱体12が設けられた凹部11が存在する場合、凹部11の深さ（放熱体12を埋め込む深さ）が深いほど熱抵抗は低減し、深さ30 μ mでは従来例の約80%である130 $^{\circ}$ C/Wまで低減することができる。

【0033】次に、本発明の実施形態1に係る半導体装置の製造方法を図2を用いて製造工程順に説明する。

【0034】本発明の実施形態1に係る半導体装置の製造方法において、ゲート5を形成する工程までは、一般のFETの製造方法と同じである。

【0035】図2（a）に示すように、ゲート5をした形成後、オーミック電極2を形成する。

【0036】オーミック電極2を形成するときにソース電極3側のオーミック電極2は図2（e）に示すように半導体基板1が露出するようにリング状に形成する。そしてソース電極側のリング状オーミック電極3の内側の幅は20 μ mに設定する。

【0037】次に図2（b）に示すように、ソース電極3側のリング状オーミック電極2の領域をマスクして、リング状オーミック電極2の内側に露出した半導体基板1をエッチングして凹部13を基板内部に向けて形成する。

【0038】本発明の実施形態1では、ドライエッチにて半導体基板1に凹部11を加工している。その凹部11をエッチングする深さは、エッチング時間により制御する。なお、図2（b）に示すフォトレジスト14は、次の図2（c）に示す工程に用いるマスクの形状を表している。

【0039】次に図2（b）に示すように、ゲート5の

5

部分をフォトレジスト14でマスクし、かつオーミック電極2及び凹部11の部分を覆うフォトレジスト14に開口部14aを開孔して、フォトレジスト14の開口部14aにオーミック電極2及び凹部11を露出させ、次いで図2(c)に示すように、基板全面に金メッキを施し、オーミック電極2上に金メッキを堆積させるとともに、凹部11内に金メッキを充填する。

【0040】次いで図2(c)に示すように、金メッキをイオンミリングでパターニングして、オーミック電極2上にソース電極3及びドレイン4の各電極を形成するとともに、凹部11内に金メッキからなる放熱体12を形成する。

【0041】その後、フォトレジスト(PR)14を除去し、半導体基板1の表面側に形成したソース電極3、ドレイン4及びゲート5を露出させる。

【0042】次に図2(d)に示すように、半導体基板1の表面側に絶縁膜9を厚く成長し平坦化させ、絶縁膜9のソース電極3に相当する箇所にコンタクトホール9aを形成した後、基板全面に金メッキを施し、基板表面側に放熱用の金メッキ7を形成するとともに、コンタクトホール9a内に金メッキを充填して、ソース電極3と金メッキ7とを結合する。

【0043】最後に基板裏面を基板厚100μmまでエッチングした後、チップごとダイニングする。

【0044】本発明の実施形態1に係る半導体装置を図7に示すサーマルシャント構造として用いる場合には、チップ上部を上向き、すなわち金メッキ7を上向きにしてマウントする、或いは図8に示すフリップチップ構造として用いる場合には、チップ上部を下向き、すなわち金メッキ7を下向きにして、金メッキ7をヒートシンクにマウントして使用する。

【0045】(実施形態2)図4は、本発明の実施形態2を示す断面図である。

【0046】図2に示す本発明の実施形態1では、凹部11の深さは、エッチングの時間に基づいて制御しているが、図4に示す本発明の実施形態2では、エッチングストップ層15を用いて凹部11の深さを制御するものである。

【0047】すなわち、図4に示す本発明の実施形態2では、例えばBCl₃/SF₆系ドライエッチングガスを用い、このエッチングガスが有するエッチング材質の選択性(GaAsはエッチングするが、AlAsはエッチングしない)を利用することにより、凹部11の深さを制御する。

【0048】具体的には図4に示すように、半導体基板1としてGaAs基板を用い、エッチングを停止させる深さ位置にAlAsストップ層15を設置することにより、凹部11の深さはAlAsストップ層15の位置で決定されることとなる。

【0049】本発明の実施形態2によれば、凹部11の

(4)

特開2001-35974

6

深さはAlAsストップ層15の位置で決定されるため、凹部11の深さ時間で深さを設定するよりも凹部11の深さの制御性を向上させることができるという利点がある。

【0050】(実施形態3)図5は、本発明の実施形態3を示す断面図である。

【0051】図5に示す本発明の実施形態3は、凹部11の基板内部での表面積を拡大して基板1との接触面積を拡大したものである。

【0052】図5に示す本発明の実施形態3では、クエン酸混合液によるウェットエッチング法を用いることにより、GaAs基板1に凹部11を形成する。50%クエン酸水溶液と30%過酸化水素水とを3対1に混合した溶液には、GaAs基板1に対するエッチングの面方位性があり、20℃でGaAs基板1をエッチングした場合、(001)面は早くエッチングされるが(111)A面は遅くエッチングされる。

【0053】したがって、図5に示すように凹部11は、基板表面側から基板の深部に向かって従って末広がりの形状(図5の場合に三角形状)となり、凹部11の基板内部での表面積が拡大されて基板1との接触面積が拡大されることとなる。

【0054】また上記クエン酸混合液は、GaAs基板1をエッチングするが、AlAsストップ層15をエッチングしないという材質選択性があるため、半導体基板1に対するエッチングを停止させる位置にAlAsストップ層15を挿入しておくことにより、エッチングによる凹部11の深さを設計することができる。

【0055】そして図5に示すように三角形状の凹部11に金メッキを充填して、ソース電極3と金メッキ7とを結合する。

【0056】本発明の実施形態3によれば、凹部11の基板内部での表面積を拡大して基板1との接触面積を拡大したものであり、図5に示すように凹部11の断面形状を三角形に形成し、その内部に充填される放熱体12をソース3・ドレイン4間の直下に延ばさせているため、放熱効率を実施形態1と比較して向上させることができる。

【0057】実施形態1と同様な基板厚100μm、ゲート幅200μmのフリップチップ構造のFETにおいて、その熱抵抗は100℃/Wとなり、従来例のFETに比べて、約60%の熱抵抗に低減することができるという効果がある。

【0058】なお、実施形態2では放熱体12として金メッキを用いたが、金メッキ以外の素材を用いてもよいものである。

【0059】

【発明の効果】以上説明したように本発明によれば、半導体基板に形成されたソース電極の箇所に基板内部に向けた凹部を形成し、凹部に放熱体を充填しているため、

(5)

特開2001-35974

7

8

放熱体が半導体基板の深部まで存在することとなり、ゲートの直下付近及びソース・ドレイン間に拡散する熱は放熱体に捕捉され、放熱体を伝わって基板外部に放熱される。したがって基板内部に拡散する熱を放熱体に捕捉して基板外部に効率よく放熱させることができる。

【0060】さらに凹部の基板内部での表面積を拡大して基板との接触面積を拡大させることにより、放熱体による放熱効率を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係る半導体装置を示す断面図である。

【図2】本発明の実施形態1に係る半導体装置の製造方法を製造工程順に示す断面図である。

【図3】本発明の実施形態における凹部の深さ（放熱体を半導体基板に埋め込む深さ）と熱抵抗の関係を示す図である。

*【図4】本発明の実施形態2に係る半導体装置を示す断面図である。

【図5】本発明の実施形態3に係る半導体装置を示す断面図である。

【図6】従来例に係る半導体装置を示す断面図である。

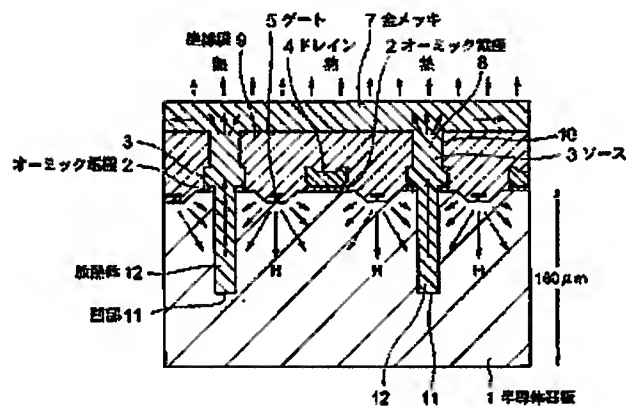
【図7】従来例に係る半導体装置を示す断面図である。

【図8】従来例に係る半導体装置を示す断面図である。

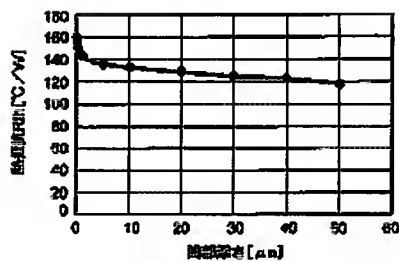
【符号の説明】

- 1 半導体基板
- 2 オーミック電極
- 3 ソース電極
- 4 ドレイン
- 5 ゲート
- 7 金メッキ
- 11 凹部
- 12 放熱体

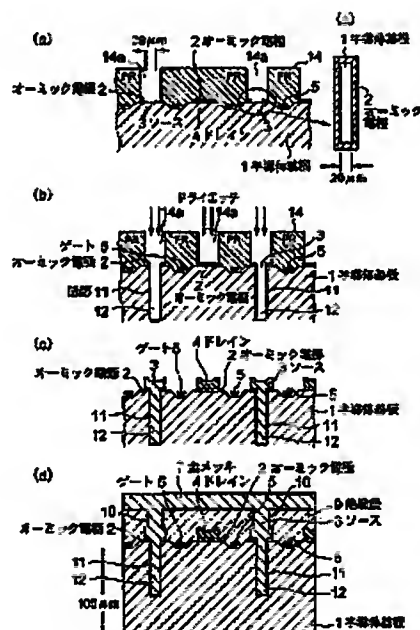
【図1】



【図3】



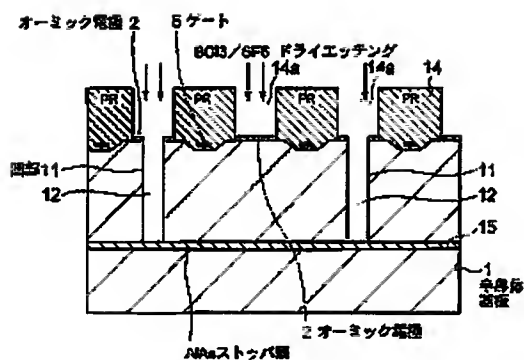
【図2】



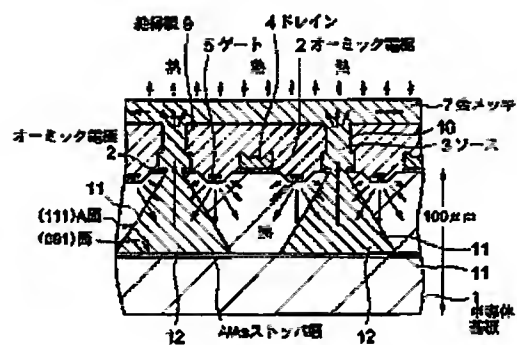
(5)

特開2001-35974

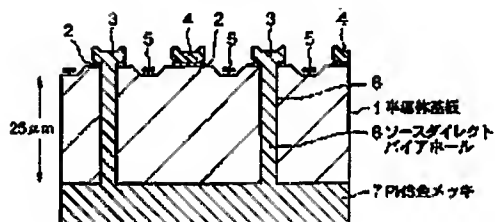
【圖4】



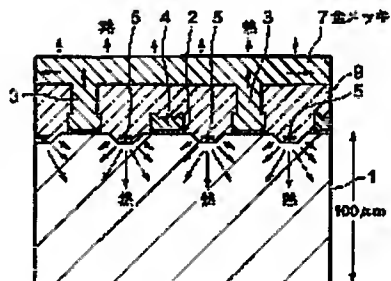
【圖5】



【图6】



【57】



【圖8】

